

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL
STATUS

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-326633

(43)Date of publication of application : 18.11.2004

(51)Int.Cl.

G06F 12/08

(21)Application number : 2003-123132 (71)Applicant : HITACHI LTD

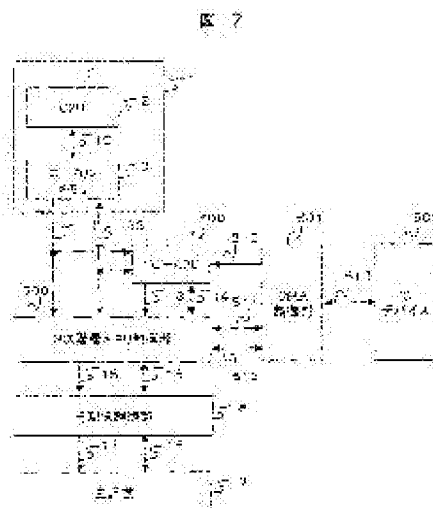
(22)Date of filing : 28.04.2003 (72)Inventor : HOSOKI KOJI

(54) HIERARCHICAL MEMORY SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the data transfer performance in a hierarchical memory system having a single main storage by reducing the reduction in throughput and increase in latency of the main storage.

SOLUTION: This memory system comprises a processor element having a first CPU and a local memory, a first cache memory arranged between the processor element and the main storage, and a second CPU directly accessible to the first cache memory. The second CPU has a means for accepting an interrupting processing from the processor element, and the second CPU has a means for preliminarily transferring data needed by the processor element to the first cache memory according to an interrupt processing routine described so as to hardly cause a line address mistake, whereby a random access pattern to the main storage is eliminated to enable an access to the main storage free from line address mistake. Accordingly, a high throughput and a low latency can be obtained.



(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-326633

(P2004-326633A)

(43) 公開日 平成16年11月18日 (2004. 11. 18)

(51) Int. Cl. ⁷

G06F 12/08

F 1

G06F 12/08 505B
 G06F 12/08 509F
 G06F 12/08 513
 G06F 12/08 551Z

テーマコード (参考)

5B005

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2003-123132 (P2003-123132)
 (22) 出願日 平成15年4月28日 (2003. 4. 28)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (74) 代理人 100075096
 弁理士 作田 康夫
 (72) 発明者 細木 浩二
 神奈川県川崎市麻生区王禅寺1099番地
 株式会社日立製作所システム開発研究所
 内
 Fターム (参考) 5B005 JJ13 KK14 KK16 MM05 NN22

(54) 【発明の名称】 階層型メモリシステム

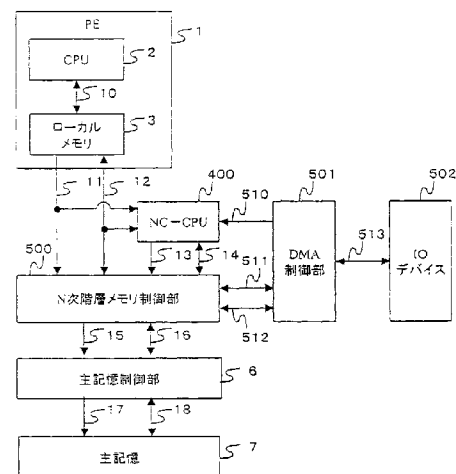
(57) 【要約】

【課題】 単一の主記憶を持つ階層型メモリシステムにおいて、主記憶のスループット低下とレイテンシ増加を低減し、データ転送性能を向上する。

【解決手段】 第1のCPUとローカルメモリを有するプロセッサエレメントと、プロセッサエレメントと主記憶との間に配置する第1のキャッシュメモリと、第1のキャッシュメモリに直接アクセス可能な第2のCPUを持ち、第2のCPUはプロセッサエレメントからの割込み処理を受け付ける手段と、第2のCPUは主記憶の行アドレスミスが発生しにくいように記述された割込み処理ルーチンに従い、あらかじめプロセッサエレメントが必要とするデータを第1のキャッシュメモリに転送する手段を持つことにより、ランダムな主記憶へのアクセスパターンを排除し、行アドレスミスの発生しない主記憶アクセスが可能とし、高いスループットと低いレイテンシの両方を得る。

【選択図】 図7

図 7



【特許請求の範囲】**【請求項 1】**

第 1 の C P U と第 1 のローカルメモリを有するプロセッサエレメントと、プロセッサエレメントと主記憶の間に第 1 のキャッシュメモリを有する階層型メモリシステムにおいて、第 1 のキャッシュメモリを 1 次階層キャッシュとして制御可能な第 2 の C P U を有し、第 2 の C P U は割込み種ごとにジャンプするプログラムカウンタ値を保存する割込みテーブルと、割込み発生を抑止する割込み禁止フラグを有し、割込み禁止フラグが割込み受託状態と示しているときに割込みが発生した場合、割込みテーブルに示された対応するプログラムカウンタ値にジャンプし、割込み処理終了後、割込み発生前のプログラムカウンタ値に復帰する手段を有し、プロセッサエレメントは、第 2 の C P U に対し割込み要求を発行する手段と、第 1 のキャッシュメモリに対しアクセスする手段を持つことを特徴とする階層型メモリシステム。

10

【請求項 2】

請求項 1 に記載のシステムにおいて、システム上に主記憶が 1 つしか存在しないユニファイドメモリ構成であることを特徴とする階層型メモリシステム。

【請求項 3】

請求項 1 に記載のシステムにおいて、ローカルメモリは第 2 のキャッシュメモリで構成され、プロセッサエレメントは、第 2 のキャッシュメモリを 1 次階層キャッシュとして使用し、第 1 のキャッシュを 2 次階層キャッシュとして使用できることを特徴とする階層型メモリシステム。

20

【請求項 4】

請求項 1 に記載のシステムにおいて、プロセッサエレメントと第 1 のキャッシュメモリとの間に、ローカルメモリと第 1 のキャッシュメモリ間でデータ転送を可能とするダイレクトメモリアクセスコントローラを有することを特徴とする階層型メモリシステム。

【請求項 5】

請求項 1 に記載のシステムにおいて、第 1 のキャッシュメモリと並列に、I O マッピングされた I O メモリを有し、第 2 の C P U は I O メモリに対してアクセスする手段と、I O メモリもしくは第 1 のキャッシュメモリと I O デバイス間のダイレクトメモリアクセスを行うダイレクトメモリアクセスコントローラと、ダイレクトメモリアクセスコントローラは第 2 の C P U に対して割込み要求を発行できることを特徴とする階層型メモリシステム。

30

【請求項 6】

請求項 5 に記載のシステムにおいて、I O デバイスは、ディスプレイを表示するためのディスプレイリフレッシュコントローラであることを特徴とする階層型メモリシステム。

【発明の詳細な説明】**【0001】**

40

【発明の属する技術分野】

本発明は、主記憶、キャッシュメモリおよびプロセッサを有する階層型メモリ・システムに係り、特に、主記憶アクセスを効率的に行うための技術に関する。

【0002】**【従来の技術】**

画像処理など実時間処理という高い処理能力が必要なメディア処理では、固定機能の M P E G 専用 L S I 等、ハードワイヤによる専用チップ等が用いられていたが、近年、メディア演算器を含むメディア・プロセッサを使用した、ソフトウェアによるアプローチが注目されている。このソフトウェアによるアプローチにより、一つの L S I にて多種の応用に対応可能で、画像処理や音声処理などの異なった機能を 1 チップ上にて実現できる。

50

【0003】

さらに、このメディア処理に加え、画像表示やネットワーク接続などの機能を一つのプロセッサに組み込むという、組み込み型LSIが主流となりつつある。

【0004】

このような組み込み型LSIによるアプローチでは、ユニファイドメモリが使用される。これは、LSIに一つの主記憶を接続し、LSI内に配置された全エージェントが、この一つの主記憶を共有使用するもので、LSIのポート数を削減することにより、システムのトータルコストを削減できる。

【0005】

また、近年の製造技術の微細化により、LSIは益々高速化の道を辿っている。これに対し、DRAMなどの主記憶の動作速度向上は進んでおらず、LSIの動作速度との速度比は益々大きくなる。これを回避するため、動作速度向上ではなく、DDR-シンクロナスDRAMなどの使用によるスループット向上というアプローチが採られている。これは、処理速度ではなく、総データ転送量を大きくするという方式で、同一行アドレスへのアクセスは、ウェイトなしでアクセス可能なバーストモードの使用により、データ転送量を大きくするものである。

10

【0006】

このような主記憶のスループット向上を効果的に利用するには、階層型キャッシュメモリを使用した方式が採られる。

【0007】

特開平5-73415号公報に記載の技術では、汎用処理を実行するプロセッサと主記憶の間に1次キャッシュと2次キャッシュが接続され、プロセッサのアクセスは、まず1次キャッシュに行い、1次キャッシュにそのデータが格納されていない場合は、2次キャッシュをアクセスし、2次キャッシュにもデータが格納されていないときに初めて主記憶をアクセスすることにより、主記憶への余分なアクセスを排除して性能を向上させている。

20

【0008】

更に、特開平9-128293号公報に記載の技術では、ソフトウェアにより1次キャッシュや2次キャッシュに対してプリフェッチを行うことが可能で、実際にプロセッサがデータを使用する前に、キャッシュメモリへのプリフェッチが完了することにより、主記憶の処理速度を相対的に向上させる方式が採られている。

30

【0009】

【特許文献1】

特開平5-73415号公報

【特許文献2】

特開平9-128293号公報

【0010】

【発明が解決しようとする課題】

先に示した従来の技術では、遅い主記憶へのアクセス時間を、高いスループットに置換えることにより、性能向上を実現している。

【0011】

しかしながら、ユニファイドメモリによる主記憶を使用した組み込み型LSIでは、複数のエージェントがランダムに一つの主記憶をアクセスするため、主記憶の行アドレスミスが頻発する。行アドレスミスが発生すると、再度行アドレスを設定するシーケンスが必要となり、この処理ペナルティが非常に大きく、主記憶のスループットが著しく低下すると共に、処理速度も低下する。特に画像表示を含む組み込み型LSIでは、プロセッサによる汎用処理の速度が低下すると共に画像表示も滞るため、システムとして十分な性能を得ることは困難であった。

40

【0012】

本発明の課題は、ユニファイドメモリによる主記憶を有する組み込み型LSIにおいて、ランダムなアクセスパターンによる主記憶の行アドレスミス数を低減し、主記憶の高いスル

50

ーブットを得ることである。

【0013】

また、本発明の第2の課題は、主記憶の高いスループットと共に、低いアクセスレイテンシをもつことにより、より高い性能を得ることである。

【0014】

【課題を解決するための手段】

上記目的を達成するために本発明の形態によれば、第1のCPUとローカルメモリを有するプロセッサエレメントと、プロセッサエレメントと主記憶との間に配置する第1のキャッシュメモリと、第1のキャッシュメモリに直接アクセス可能な第2のCPUを持ち、第2のCPUはプロセッサエレメントからの割込み処理を受け付ける手段と、第2のCPUは主記憶の行アドレスミスが発生しにくいように記述された割込み処理ルーチンに従い、あらかじめプロセッサエレメントが必要とするデータを第1のキャッシュメモリに転送する手段を持つことにより、ランダムな主記憶へのアクセスパターンを排除し、行アドレスミスの発生しない主記憶アクセスが可能となる。また、第1のCPUは、第1のキャッシュメモリを2次階層のメモリとして使用することで、高いスループットと低いレイテンシの両方を得る事ができる。

10

【0015】

また、ローカルメモリと第1のキャッシュメモリの間に、ローカルメモリと第1のキャッシュメモリ間のデータ転送を可能とするダイレクトメモリアクセスコントローラを有することにより、第1のCPUが必要とするデータが、より低いレイテンシでアクセス可能なローカルメモリ内にあらかじめ格納することが可能で、より低いレイテンシでのデータアクセスが可能となる。

20

【0016】

更に、第2のCPUが直接アクセス可能な第1のキャッシュメモリと並列にI/Oメモリと、I/OメモリとディスプレイリフレッシュコントローラのようなI/Oデバイス間でのダイレクトメモリアクセスを行うダイレクトメモリアクセスコントローラを有し、ダイレクトメモリアクセスコントローラから第2のCPUに対して割込み要求を発行できる手段を持つことにより、表示系といった高いスループットを要するI/Oデバイスを含む場合においても、主記憶の高いスループットを得ることが可能となる。

30

【0017】

【発明の実施の形態】

本発明の実施の形態について、図面を参照して詳細に説明する。

【0018】

本発明の第1の実施形態について、図1を参照して説明する。図1は、本実施形態における階層型メモリシステムの構成を説明するためのブロック図である。

【0019】

本階層型メモリシステムは、汎用的な演算や、メディア演算を行うCPU2と、CPU2専用のローカルメモリ3からなるプロセッサエレメントであるPE1が、制御線11とデータ線12により接続されるN次階層キャッシュ制御部5と、N次階層キャッシュ制御部5は、制御線15とデータ線16により主記憶7を制御するための主記憶制御部6に接続される。本実施例の説明では、説明を容易にするため、ローカルメモリ3をキャッシュメモリとして説明する。但し、本ローカルメモリは、キャッシュメモリでもメモリマッピングされたI/Oメモリでも本発明では制限を持たない。

40

【0020】

N次階層キャッシュ制御部5は内部にキャッシュメモリを持つ(図3にて後述)。従って、CPU2から見ると、ローカルメモリ3を1次キャッシュとし、N次階層キャッシュ制御部5内のキャッシュメモリを2次キャッシュとして接続され、終端に主記憶に接続される、一般的な2次階層キャッシュメモリを持つシステムとなる。

【0021】

更に、N次階層キャッシュ制御部5には、N次階層キャッシュ制御部5を制御するための

50

CPUであるNC-CPU4が直接接続する。このNC-CPU4は、命令列によりN次階層キャッシュ制御部5内のキャッシュメモリをアクセス可能なCPUである。

【0022】

図2にNC-CPU4のブロック図を示す。NC-CPU4は、命令列に示された命令を順次実行する一般的なCPUである。また、割込み処理も実行可能なCPUである。

【0023】

命令列は命令メモリ402に格納され、プログラムカウンタ401が生成するプログラムカウンタ値410を元に、命令メモリ402を読み出し、読み出された命令411を命令デコーダ403にてデコードし、デコード結果414を演算器431とレジスタ432からなる演算実行部430に転送し、通常の演算を実行する。また命令デコーダ403は、

10

【0024】

命令は、算術演算、論理演算、ブランチ命令、メモリアクセス命令など、汎用的な命令である。ここで、メモリアクセス命令は、ロード命令、ストア命令、プリフェッチ命令などを持つ。

【0025】

デコード結果414がメモリアクセス命令の場合、制御線13にその、命令のオペランドやアクセスアドレスなどを転送し、データ線14には、対応するデータが配送される。ここでデータ線14は一つのバスとして説明するが、ロードデータとストアデータを分割しても構わない。

20

【0026】

また、NC-CPU4は、割込みテーブル420と、割込み禁止フラグ404の少なくとも2種のレジスタを持つ。

【0027】

割込みテーブル420は、図3に示すように、割込み毎に設定された割込み処理ルーチンが格納されたアドレス、すなわち、プログラムカウンタ値を格納するテーブルで、割込みが発生した場合（割込み有無フラグがセット）、そのプログラムカウンタ値が示すアドレスにジャンプする。尚、割込み処理終了後は、割込み発生前のプログラムカウンタ値に戻る、一般的な割込み処理を実現する。

【0028】

割込み禁止フラグ404は、割込み発生を抑止するレジスタで、本割込み禁止フラグ値414が割込み禁止と示している期間は、割込みテーブル420内の割込み有無フラグがセットされていても、割込みを発生することができない。

30

【0029】

これらのレジスタはIOマッピングされ、NC-CPU4、及び、PE1は制御線11とデータ線12を介してアクセス可能である。尚、本実施例では、説明を容易にするために、これらのレジスタをIOマッピングとしているが、他の手段においても制限を持たない。

【0030】

図4はN次階層キャッシュ制御部5のブロック図である。N次階層キャッシュ制御部5は、PE1およびNC-CPU4の2つのマスタからアクセス可能な一般的なキャッシュメモリ構成である。PE1からのアクセス要求である制御線11とNC-CPU4からのアクセス要求である制御線13が調停回路50に入力され、アクセス調停を行い、キャッシュメモリ53を制御するメモリ制御部52に制御信号56を伝える。また、PE1からのデータ線12とNC-CPU4からのデータ線14を選択するため、調停パス51を制御線55により制御する。調停パス51は、2マスタからのアクセスを調停する。尚、本実施例の説明では、説明を容易にするために2つのアクセスを調停する方式としているが、インタリーブ型のキャッシュ方式の採用により、競合ペナルティを回避可能な構成も可能である。

40

【0031】

50

メモリ制御部52は、一般的なキャッシュメモリ制御を行い、内部にキャッシュメモリのアドレスタグを持ち、アクセスがデータリードにてキャッシュミスした場合には、制御線15を介してデータリード要求を発行し、データが返送された場合、データ線16を介してキャッシュメモリ53を更新し、同時に内部のアドレスタグを更新する。尚、キャッシュメモリ53は、ライトスルー方式でもライトバック方式でも可能で、本発明においては制限を持たない。

【0032】

図1から図4の説明をまとめると、N次階層キャッシュ制御部5内のキャッシュメモリ53は、PE1から見ると2次階層キャッシュ、NC-CPU4から見ると、1次階層キャッシュとなることが、本実施形態の特徴である。

10

【0033】

図5を用いて、本実施形態の処理シーケンスを説明する。PE1とNC-CPU4は完全に並列動作可能なプロセッサエレメントとして見え、メディア処理などの主となる応用処理をPE1にて実行し、PE1が必要とするデータの読み込みをあらかじめNC-CPU4にてキャッシュメモリ53まで行う。従って、PE1が必要とするデータは、すでにキャッシュメモリ53に格納される、すなわち2次階層キャッシュまでは格納されており、PE1はレイテンシの大きな主記憶7を直接アクセスするよりも性能が向上する。

【0034】

NC-CPU4の起動は、割込みテーブル420を使用した割込みにより行う。通常、NC-CPU4は、自身のメインルーチンを実行しているが、命令列中に割込み禁止フラグ404を解除する命令（本実施例ではIOレジスタにて設定）が発行されると、割込み禁止フラグをリセットし、この期間、割込みを受けつける。この時、PE1より割込み要求が発生している場合、NC-CPU4は割込みテーブル520に従い、割込み処理を開始する。本図では割込み起動A、B、Cである。それぞれの割込み処理はデータリードA、B、Cで表し、プリフェッチ命令により、主記憶7よりキャッシュメモリ53までデータを読み込む。割込み処理、すなわちキャッシュメモリへのプリフェッチが終了した時点で、自身のメインルーチンに戻り、再度割込み禁止フラグ404をセットし、割込み禁止状態とする。従って、メインルーチン中、もしくは割り込み処理中のNC-CPU4は、主記憶7のアクセス権をほぼ100%使用可能となる。よって、主記憶7のスループット向上を実現するような、行アドレスミスの発生しない主記憶アクセスプログラムを使用することにより、主記憶7の性能を引き出すことが可能である。

20

30

【0035】

また、NC-CPU4が持つ命令にキャッシュメモリ53のフラッシュを行う命令を持つことにより、主記憶7への書き込みもバーストモードにて実現可能である。更に、プリフェッチ命令の代わりにロード命令を実行し、NC-CPU4内の演算器431にてデータを加工後、キャッシュメモリ53にストアすることにより、データフロー型マルチプロセッサ構成として動作する。例えば、表示系のビット演算などが可能となる。この時、セマフォやポーリングによる同期化処理も必要となるが、NC-CPU4自身がキャッシュ領域にセマフォやポーリングフラグを生成することで同期化が可能となる。

【0036】

40

尚、NC-CPU4による処理が終了する前に、同一アドレスに対しPE1のアクセス要求が発行された場合、キャッシュメモリ53は、PE1から見ると単に2次階層キャッシュとして動作するため、整合性破壊の問題は発生しない。

【0037】

本構成により、キャッシュメモリ53に対して、主記憶7のスループットを有効に使用可能となる。

【0038】

本発明の第2の実施形態について、図6を参照して説明する。図6は、本実施形態における階層型メモリシステムの構成を説明するためのブロック図で、図1の実施形態に対し、プロセッサエレメントであるPE100とN次階層キャッシュ制御部5の間に、ローカル

50

メモリ 300 と N 次階層キャッシュ制御部 5 内のキャッシュメモリ 53 間のデータ転送を行う DMA C 8 を接続した構成である。ここで、ローカルメモリ 300 は、PE 100 自身のマスタアクセスに加え、DMA C 8 のスレーブアクセスの両者を受け付け、スレーブアクセス 20 に対するデータがローカルメモリ 300 に存在しない場合、PE 100 自身のマスタアクセス同様、通常のキャッシュミisserケンスを実行可能な構成をとる。また、ローカルメモリ 300 をキャッシュメモリではなく、ローカルな I/O メモリとしてもよい。

【0039】

本実施例の説明では、DMA C 8 と N 次階層キャッシュ制御部 5 の間にセクタ 9 を設け、N 次階層キャッシュ制御部 5 は、同時に 1 つのスレーブアクセスを受け付けることが可能な構成としたが、一般的なアクセスキューの使用やインタリーブ型キャッシュなどの使用により、並列動作も可能であるが、本発明ではこれに限定を持たない。

10

【0040】

DMA C 8 は、キャッシュメモリとキャッシュメモリ間、若しくは I/O 空間の間にてダイレクトメモリアクセスを行う一般的なアクセラレータである。

【0041】

処理シーケンスとしては、図 5 に処理シーケンスに加え、DMA C 8 により、キャッシュメモリ 53 からローカルメモリ 300 にデータ転送を行うことで、PE 100 は、確実に 1 次階層キャッシュであるローカルメモリ 300 に対してデータアクセスが可能となり、2 次階層キャッシュに比べ、より性能を向上できる。

20

【0042】

従って、NC-CPU 4 と N 次階層キャッシュ制御部 5 の使用により、主記憶 7 からキャッシュメモリ 53 までのデータ転送は、第 1 の実施例の説明時に延べた通り、高いスループットを得ることが可能であると共に、DMA C 8 の使用により、PE 100 が使用するデータは、あらかじめローカルメモリ 300 に格納されているため、PE 100 はローカルメモリ 300 に対し、より小さなレイテンシによるアクセスが可能で、スループットとレイテンシ共に、性能向上が可能となる。

【0043】

本発明の第 3 の実施形態について、図 7 を参照して説明する。図 7 は、本実施形態における階層型メモリシステムの構成を説明するためのブロック図で、図 1 の実施形態に対し、DMA 制御部 501 を介して I/O デバイス 502 を接続した構成である。I/O デバイス 502 は、ディスプレイ表示や音声入出力、ネットワークなど、汎用の I/O デバイスとする。尚、本実施例では説明を容易にするため、本 I/O デバイス 502 をディスプレイ表示用のディスプレイリフレッシュコントローラ（以下、DRC と表記）とする。

30

【0044】

DMA 制御部 501 は、I/O デバイス 502 である DRC からデータ転送要求が発生したとき、NC-CPU 400 に DMA 割込み要求 510 を発行する。また DMA 制御部 501 は、N 次階層メモリ制御部 500 に対し、制御線 511 とデータ線 512 を介してデータアクセス可能な構成をとる。

【0045】

図 8 は本実施例における、第 2 の NC-CPU 400 を示したブロック図であり、図 2 に示した第 1 の NC-CPU 4 に対して、少なくとも 2 つの違いをもつ構成である。1 つ目は、DMA 制御部 501 が発行する割込み要求 510 を受託可能であり、動作方法は第 1 の実施例の方法と同じである。

40

【0046】

2 つ目は、NC-CPU 400 の持つ命令に、第 1 の実施例の説明時に述べたメモリアクセス命令に加え、主記憶空間から I/O メモリ空間にデータを転送可能なメモリーメモリ転送命令を持つことである。

【0047】

図 9 に、N 次階層メモリ制御部 500 のブロック図を示す。これは図 4 の説明にて述べた

50

N次階層キャッシュ制御部5に対し、2つの違いを持つ。一つは、内部にキャッシュメモリ61とI Oメモリ62からなるメモリ60を持ち、図7の説明にて述べたメモリーメモリ転送命令にて、I Oメモリ62に対してもアクセス可能な構成をとる。2つ目の違いは、DMA制御部501から制御線511とデータ線512を介してメモリ60にアクセス可能な構成である。尚、ここでは説明を容易にするため、DMA制御部501はI Oメモリ62のみをアクセス可能として説明するが、本発明はこれに限定されない。

【0048】

以上を踏まえ、I Oデバイス502がDRCの場合について、その振舞いを説明する。まず、DMA制御部501が発行する割込み要求510に対する割込み処理では、メモリーメモリ転送により、主記憶7上に格納された表示データをキャッシュメモリ61経由でI Oメモリ62に転送する。従って、一つの割込み処理ルーチンにて、主記憶7からバーストモードにて表示データを読込むことが可能で、主記憶7のスループットを有効に使用可能となる。

10

【0049】

同期化処理終了後、DMA制御部501は制御線511にてI Oメモリ62を読み出し、データ線512を介して、DMA制御部501に返送し、表示データをI Oデバイス502に送り画像表示を行う。

【0050】

ここで、NC-CPU400のメインルーチンやPE100からの割込み処理も、それぞれ主記憶7がバーストモードにてアクセス可能な命令列を採ることにより、主記憶7のスループット性能を十分に引き出すことが可能となる。

20

【0051】

ここでは、I Oデバイス502をDRCとして説明した。これは、I Oデバイス502が出力I Oである。次に、I Oデバイス502が音声入力のような入力I Oのシーケンスについて説明する。

【0052】

この場合、まずDMA制御部501は、制御線511によりI Oメモリ62に対しデータ線512を介して入力データを格納する。次に割込み要求510を発行する。割込み処理ルーチンでは、I Oメモリ62に格納されたデータをレジスタ432に読み出し、主記憶7に対してデータをライトすることにより、入力データを主記憶7に書き出すことができる。

30

【0053】

尚、本説明ではDMA制御部501はI Oメモリ62のみアクセス可能としたが、制御線511に物理アドレスを与えることで、キャッシュメモリ61にも直接アクセスすることも可能となる。

【0054】

従って、I Oデバイス502に対しても、高いスループットと小さなレイテンシによる性能向上を実現できる。

【0055】

本発明の第4の実施形態について、図10を参照して説明する。図10は、本実施形態における階層型メモリシステムの構成を説明するためのブロック図で、第2の実施形態と第3の実施形態の両特長を持ち、DMAC8とDMA制御部501、及びI Oデバイス502を持つ構成である。

40

【0056】

本構成により、PE100及びI Oデバイス502共に、高いスループットと低いレイテンシによる性能向上を得ることができる。

【0057】

【発明の効果】

上述の様に本発明の実施形態によれば、主記憶のアクセスにおいて、高いスループットを得るためのバーストモードを効率よく使用可能で、処理性能が向上する。

50

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態を説明するためのブロック図である。

【図 2】 本発明の実施形態における第 1 の NC-CPU の構成を説明するための図である。

【図 3】 本発明の実施形態における割込みテーブルを説明するための図である。

【図 4】 本発明の実施形態における N 次階層キャッシュ制御部を説明するための図である。

【図 5】 本発明の実施形態における処理シーケンスを説明するための図である。

【図 6】 本発明の第 2 の実施形態を説明するための図である。

【図 7】 本発明の第 3 の実施形態を説明するための図である。

【図 8】 本発明の実施形態における第 2 の NC-CPU の構成を説明するための図である。

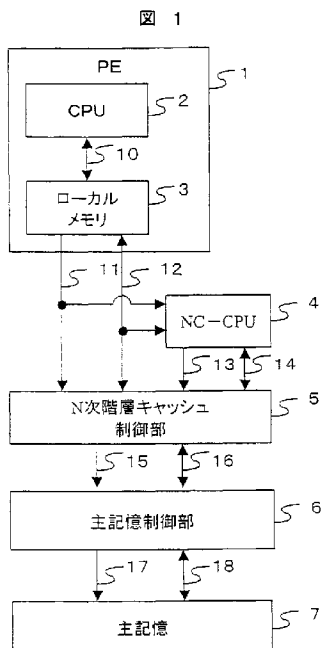
【図 9】 本発明の実施形態における N 次階層メモリ制御部を説明するための図である。

【図 10】 本発明の第 4 の実施形態を説明するための図である。

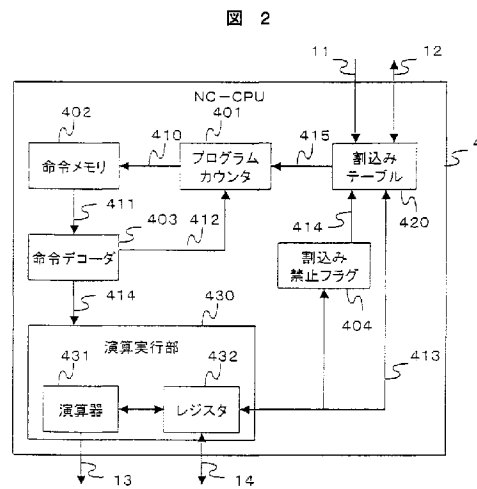
【符号の説明】

1…プロセッサエレメント PE、2…CPU、3…ローカルメモリ、4…NC-CPU、5…N 次階層キャッシュ制御部、6…主記憶制御部、7…主記憶、8…DMAC、53…キャッシュメモリ、60…メモリ、203…データメモリ、404…割込み禁止フラグ、420…割込みテーブル、430…演算実行部、501…DMA 制御部、502…I/O デバイス。

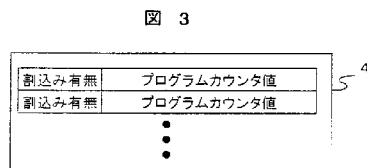
【図 1】



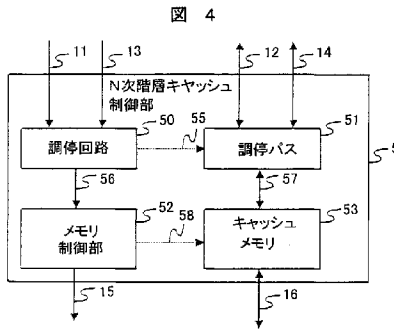
【図 2】



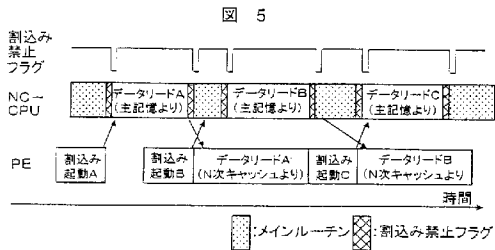
【図 3】



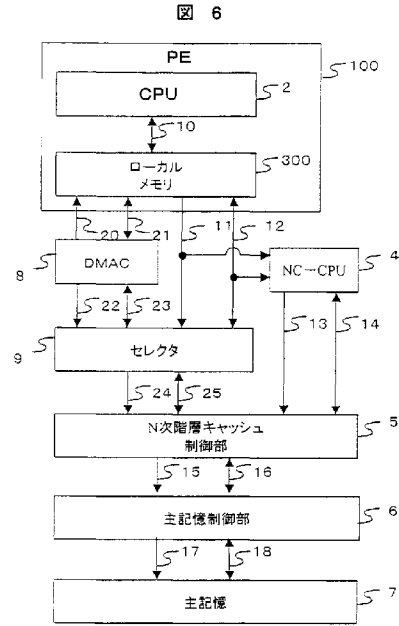
【図 4】



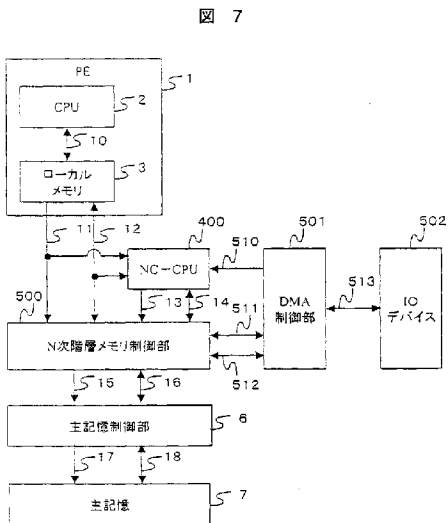
【図 5】



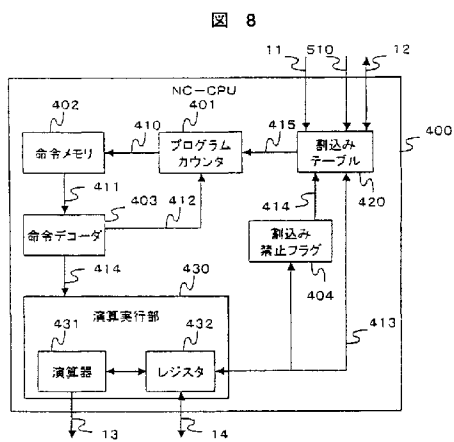
【図 6】



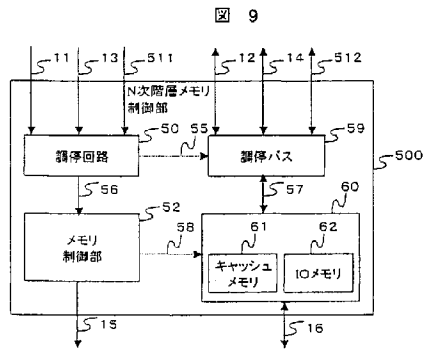
【図 7】



【図 8】



【図 9】



【図 10】

